

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:
Peter Hagemeyer, et al.

Serial No.: Unknown

Filed: Herewith

Confirmation No.: Unknown

For: FLASH MEMORY CELL WITH
BURIED FLOATING GATE AND
METHOD FOR OPERATING
SUCH A FLASH MEMORY
CELL

MAIL STOP PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

§
§ Group Art Unit: Unknown

§
§ Examiner: UNKNOWN

CERTIFICATE UNDER 37 CFR 1.10

I hereby certify that this correspondence and the documents referred to as attached therein are being deposited on March 24, 2004, with the United States Postal Service in an envelope as "Express Mail Post Office to Addressee," mailing label No. EV416702912US addressed to: Mail Stop Patent Application Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

March 24, 2004
Date

Signature

SUBMISSION OF CERTIFIED COPY OF PRIORITY DOCUMENT

A copy of German application number 101 46 978.0, filed September 24, 2001, certified by the German Patent Office is enclosed.

Respectfully submitted,

Gero G. McClellan
Registration No. 44,227
MOSER, PATTERSON & SHERIDAN, L.L.P.
3040 Post Oak Blvd. Suite 1500
Houston, TX 77056
Telephone: (713) 623-4844
Facsimile: (713) 623-4846
Agent for Applicant(s)

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 101 46 978.0

Anmeldetag: 24. September 2001

Anmelder/Inhaber: Infineon Technologies AG, 81669 München/DE

Bezeichnung: Flash-Speicherzelle mit vergrabenem Floating-Gate und Verfahren zum Betreiben einer solchen Flash-Speicherzelle

IPC: H 01 L 27/115

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 11. Februar 2004
Deutsches Patent- und Markenamt

Der Präsident

Im Auftrag

A handwritten signature in black ink, appearing to be "Schäfer".

Flash-Speicherzelle mit vergrabenem Floating-Gate und Verfahren zum Betreiben einer solchen Flash-Speicherzelle.

Die vorliegende Erfindung betrifft eine programmierbare Festwertspeicherzelle mit einem zwischen einer Auswahl- und einem Schwebegate angeordneten Kanalschicht gemäß dem Oberbegriff des Patentanspruchs 1.

Programmierbare Festwertspeicherzellen nach dem Prinzip eines Flash-Speichers, können im Gegensatz zu dynamischen Speicherzellen (DRAMs) die gespeicherte Information auch ohne externe Stromversorgung halten.

Herkömmliche Flash-Speicher bestehen in der Regel aus einem Feldeffekt-Transistor (FET) mit einem zusätzlichen Schwebegate (Floating Gate), das zwischen dem Auswahlgate (Control Gate) des FET's und einer, die beiden Source/Drain-Gebiete des FETs miteinander verbindenden Kanalschicht ausgebildet ist.

Hierbei wird im Programmiermodus der Speicherzelle eine spezifische Ladung auf das, von seiner Umgebung isolierte Schwebegate gebracht. Anschließend wird die Leitfähigkeit der Kanalschicht und damit der Schaltzustand des FET's bestimmt. Je nachdem ob das geladene Schwebegate den Kanal des FET's schließt oder öffnet wird zwischen "Normally on" und "Normally off" Speicherzellen unterschieden. Das Auslesen einer Flash-Speicherzelle gestaltet sich dabei besonders einfach, da hierzu lediglich die Leitfähigkeit des Kanals geprüft wird.

Trotz dieser Vorteile gegenüber flüchtigen Speichern kommen Flash-Speicher nicht überall zum Einsatz. Insbesondere die deutlich langsamere Programmier- und Löschezeiten dieses Speichertypes im Vergleich zu den Programmier- und Löschezeiten flüchtiger Speicher hemmen die Verbreitung der Flash-Speicherzellen.

Darüber hinaus ergeben sich bei kombinierten Speichern, wobei neben den Flash-Speicherzellen z.B. auch DRAM-Speicherzellen auf einem Chip hergestellt werden, aufgrund der verschiedenen
5 Technologieabfolge beider Speicherzellenarten konstruktive Probleme.

Aus US 60 52 311 „Electrically Erasable Programmable Read only Flash Memory“ und US 60 11 288 „Flash Memory Cell with vertical Channels and Source/Drain Bus Lines“ gehen Flash-Speicherzellen mit einer reduzierten lateralen Ausdehnung hervor. Beide Speicherzellen weisen jeweils ein in einem Graben zwischen den Source- und Drain-Gebieten der jeweiligen Speicherzelle ausgebildetes Schwebegate und ein über dem 10 Schwebegate angeordnetes Auswahlgate auf. Die Kanäle verlaufen dabei unterhalb bzw. seitlich des Schwebegates.
15

Die Aufgabe der Erfindung besteht darin, eine Flash-Speicherzelle zur Verfügung zu stellen, die eine höhere Speicherdichte sowie eine schnellere Schreib- und Löschoperation ermöglicht. Weiterhin ist es Aufgabe der Erfindung Verfahren zum Betreiben einer solchen Flash-Speicherzelle zur Verfügung 20 zu stellen.

25 Die Aufgabe wird durch eine Flash-Speicherzelle gemäß Anspruch 1 und durch Verfahren gemäß den Ansprüchen 10, 11 und 12 gelöst. Weitere vorteilhafte Ausführungsformen der Erfindung sind in den abhängigen Ansprüchen angegeben.

30 Gemäß der Erfindung weist die Flash-Speicherzelle eine zwischen dem Schwebegate und dem Auswahlgate angeordneten Kanalschicht auf, die die Source- und die Drain-Elektrode miteinander verbindet.

35 Das unter dem Auswahlgate angeordnete Schwebegate ist hierbei zumindest teilweise in einem im Substrat ausgebildeten Graben angeordnet. Durch eine vertikale Erweiterung des Grabens in

das Substrat kann der Durchmesser des Schwebegates und damit auch die effektive Chipfläche der Speicherzelle minimiert werden.

5 Gemäß einer weiteren vorteilhaften Ausgestaltung der Erfindung weist die Speicherzelle für die Schreib-/Lösche- und Leseoperation zwei getrennte Oxid-Schichten auf. Hierdurch lässt sich jede der beiden Oxid-Schichten und damit auch die mit der jeweiligen Oxidschicht verbundene Schreib-/Lösche-
10 bzw. Leseoperation separat optimieren, wobei neben einer verbesserten Tunneloxidschicht insbesondere auch kürzere Schreib- und Löschezeiten möglich werden.

Gemäß einer weiteren vorteilhaften Ausgestaltung der Erfindung wird die Kanalschicht als eine epitaktische Schicht ausgebildet. Hierdurch lässt sich die Kanalschicht derart dünn gestalten, dass eine maximale Steuerwirkung von Auswahl- und Schwebegate erreicht wird.

20 Gemäß einer weiteren Ausgestaltungsform der Erfindung bildet das vergrabene Schwebegate die innere Elektrode, ein erstes Diffusionsgebiet die äußere Elektrode und eine zwischen dem Schwebegate und dem ersten Diffusionsgebiet ausgebildete Isolatorschicht das Dielektrikum eines sich in das Substrat erstreckenden Grabenkondensators. Da der Grabenkondensator entsprechend einem Grabenkondensator einer DRAM-Speicherzelle ausgebildet ist, lassen sich bei der Herstellung von kombinierten Anwendungen, wobei Flash- und DRAM-Speicherzellen gemeinsam auf einer Halbleiterscheibe hergestellt werden, Prozessschritte einsparen. Darüber hinaus entfallen bei diesen kombinierten Anwendungen aufgrund der angepassten Dimensionen beider Speicherzellenarten die bei herkömmlichen Flash-Speicherzellen üblichen konstruktiven Probleme.
25
30

35 Aufgrund des Aufbaus der erfindungsgemäßen Flash-Speicherzelle, bei der das Schwebegate die innere Elektrode eines Grabenkondensators bildet und das Laden bzw. Entladen des

Schwebegates kapazitiv über ein die äußere Elektrode des Grabenkondensators bildendes erstes Diffusionsgebiet erfolgt, fällt die Koppelfläche zwischen dem Schwebegate und dem ersten Diffusionsgebiet besonders groß aus. Hierdurch lässt sich
5 das Schwebegate besonders effektiv kapazitiv laden bzw. entladen.

Gemäß einer weiteren vorteilhaften Ausgestaltung der Erfindung überlappen sich die ersten Diffusionsgebiete benachbarter Speicherzellen einer zur Wortleitungsrichtung senkrechten Reihe der Anordnung untereinander. Dadurch entsteht entlang der Zeile von Speicherzellen eine zweite Bitleitung, über die jede Speicherzelle programmiert bzw. gelöscht werden kann.
10

15 Vorteilhafte Ausgestaltungen und Weiterbildungen der Erfindung sind in den Unteransprüchen gekennzeichnet. Das mit der Erfindung zu lösende Problem und die Erfindung selbst werden nachstehend anhand von Zeichnungen näher erläutert. Es zeigen:
20

Fig. 1 einen Querschnitt durch eine erfindungsgemäße Flash-Speicherzelle mit einem vergrabenem Schwebegate,

25 Fig. 2A bis 2C die Arbeitsweise der erfindungsgemäßen Flash-Speicherzelle aus Figur 1 bei einer Schreib-, einer Lösch- und einer Leseoperation, und

30 Fig. 3 eine matrixförmige Anordnung von erfindungsgemäßen Flash-Speicherzellen mit durch Überlappung der ersten Diffusionsgebiete gebildeten zweiten Bitleitungen.

Figur 1 verdeutlicht den Aufbau einer erfindungsgemäßen Flash-Speicherzelle MC. Die Speicherzelle MC weist ein innerhalb eines Substrates 10 vergrabenes Schwebegate FG und einen oberhalb des vergrabenen Schwebegates FG ausgebildeten Feldeffekt-Transistor auf. Die dargestellte Ausführungsform der Erfindung zeigt eine "Normally on"-Speicherzelle, wobei der
35

Feldeffekt-Transistor bei einem ungeladenen Schwebegate FG durchgeschaltet ist.

5 Zur Reduzierung der Chipfläche ist das Schwebegate FG vollständig in einem innerhalb des Substrates 10 ausgebildeten Graben TR untergebracht und bildet dabei die innere Elektrode eines Grabenkondensators 20.

10 Innerhalb des Grabens TR ist eine dünne Isolatorschicht 21, ausgebildet. Die Isolatorschicht 21 bedeckt vollständig den Boden sowie die Seitenwände des Grabens TR mit einer gleichmäßigen Schichtdicke und reicht bis zur Substratoberfläche. 15 Die Isolatorschicht 21, die vorzugsweise als eine ONO-Schicht (Oxid-Nitrid-Oxid) ausgebildet ist, dient als Dielektrikum des Grabenkondensators 20 und isoliert das Schwebegate FG von einem die äußere Elektrode des Grabenkondensators 20 bildenden ersten Diffusionsgebiet 22.

20 Das erste Diffusionsgebiet 22 weist in dem dargestellten Ausführungsbeispiel eine n-Dotierung auf und dient dem kapazitiven Laden bzw. Entladen des Schwebegates FG. Um eine möglichst große Kopplungskapazität zwischen dem Schwebegate FG und dem ersten Diffusionsgebiet 22 zu erreichen ist der Graben TR bis auf seinen obersten Bereich vollständig vom ersten 25 Diffusionsgebiet 22 umgeben. Das erste Diffusionsgebiet 22 ist dabei wattenförmig innerhalb des Substrates 10 ausgebildet und erstreckt sich von einem Niveau unterhalb des Grabens TR bis zu einem Niveau kurz unterhalb der Substratoberfläche.

30 Wie aus Figur 3 hervorgeht, überlagern sich die ersten Diffusionsgebiete 22 einer Zeile einer matrixförmigen Anordnung von Flash-Speicherzellen MC gegenseitig und bilden eine zweite Bitleitung BL2 zum Beschreiben und Löschen der Flash-Speicherzelle MC.

35 Außerhalb des ersten Diffusionsgebietes 22 ist ein zweites Diffusionsgebiet 23 vorgesehen, das sich von der Substrat-

oberfläche bis unterhalb des ersten Diffusionsgebietes 22 und lateral bis über die Flash-Speicherzelle MC hinaus erstreckt. Dabei ist das zweite Diffusionsgebiet 23 in Figur 1 als eine Wanne dargestellt, die lediglich eine einzige Speicherzelle 5 MC beinhaltet. Vorzugsweise erstreckt sich das zweite Diffusionsgebiet 23, wie in den Figuren 2A bis 2C angedeutet, auch auf weitere Speicherzellen MC einer matrixförmigen Anordnung. Das zweite Diffusionsgebiet 23 ist dabei vollständig innerhalb eines dritten Diffusionsgebietes 24 ausgebildet, das 10 wattenförmig oder flächig im Substrat 10 ausgebildet ist. Dabei weist das zweite Diffusionsgebiet 23 eine p- und das dritte Diffusionsgebiet eine n-Dotierung auf. Die spezielle Anordnung der Diffusionsgebiete 22, 23, 24 bildet eine 15 "tripple well"-Anordnung, wobei aufgrund von Sperrsichten, die sich an den pn-Übergängen zwischen den Diffusionsgebieten 22, 23, 24 ausbilden, das erste Diffusionsgebiet 22 und das dritte Diffusionsgebiet 24 unabhängig von ihren jeweiligen Ladungszuständen voneinander elektrisch isoliert sind. Eine ähnliche Anordnung bilden die n-dotierten Source/Drain-Elektroden 20 S, D mit dem ersten und dem zweiten Diffusionsgebiet 22, 23. Dabei wird ebenfalls aufgrund von Sperrsichten, die sich an den pn-Übergängen zwischen den Diffusionsgebieten 22, 23 und den Source/Drain-Elektroden S, D ausbilden, das erste Diffusionsgebiet 22 von den Source/Drain-Elektroden S, D elektrisch isoliert.

Oberhalb des Schwebegates FG ist auf dem Niveau der Substrat-oberfläche eine dünne Isolatorschicht TOX ausgebildet, die 25 das Schwebegate FG vollständig bedeckt. Die Isolatorschicht TOX bildet das Tunneloxid der Flash-Speicherzelle MC, durch das bei Schreib- bzw. Löschoperationen das Schwebegate FG, das die innere Elektrode des Grabenkondensators 20 bildet, ge- bzw. entladen wird. Die Dicke der Tunneloxid-Schicht TOX ist so gewählt, dass einerseits die auf dem Schwebegate FG befindliche Ladung von einer leitenden Kanalschicht EPI des FETs hinreichend gut isoliert ist, andererseits ein ausrei-

chend hoher Tunnelstrom bei Schreib- bzw. Löschoperationen der Speicherzelle MC gewährleistet ist.

Auf der Substratoberfläche ist über dem vergrabenem Schwebegate FG ein Feldeffekt-Transistor ausgebildet, dessen Source-Elektrode S auf der einen und Drain-Elektrode D auf der anderen Seite des Speichergrabes TR angeordnet sind. Zwischen der Source- und der Drain-Elektrode S, D erstreckt sich eine Kanalschicht EPI, die die beiden Elektroden S, D miteinander elektrisch verbindet. Die Kanalschicht EPI überdeckt dabei vorzugsweise die gesamte Tunnelschicht TOX, die oberen Teilbereiche der als ONO-Schicht ausgebildeten Isolatorschicht sowie Teilbereiche der an den Graben TR grenzenden Substratoberfläche. Die Kanalschicht EPI besteht dabei vorzugsweise aus epitaktischem Silizium und weist eine n-Dotierung auf.

Oberhalb der Kanalschicht EPI ist ein Auswahlgate CG ausgebildet. Das Auswahlgate CG und die Kanalschicht EPI sind durch eine dazwischen liegende Gateoxid-Schicht GOX voneinander getrennt. Die als eine dünne Isolatorschicht ausgebildete Gateoxid-Schicht GOX überdeckt die gesamte Kanalschicht EPI sowie Teilbereiche der beiden Source-/Drain-Elektroden S, D. Oberhalb des Auswahlgates CG ist eine Wortleitung WL ausgebildet, die die Speicherzellen MC einer Spalte der in Figur 3 dargestellten matrixförmigen Anordnung von Speicherzellen MC miteinander verbindet. Die Wortleitung WL dient dabei der Addressierung der Speicherzellen MC in y-Richtung.

Die Substratoberfläche ist mit einer weiteren Isolatorschicht 11 bedeckt, in der auch die gesamte FET-Struktur eingebettet ist. Zur Kontaktierung der Source/Drain-Elektroden S, D sind ein erster und ein zweiter Kontakt 30, 31 in der Isolatorschicht 11 ausgebildet, wobei der zweite Kontakt 31 vorzugsweise mit einer ersten Bitleitung BL1 verbunden ist. Die nicht dargestellte erste Bitleitung BL1 verläuft dabei vorzugsweise orthogonal zu den Wortleitungen WL der in Figur 3

dargestellten matrixförmigen Anordnung von Speicherzellen MC und dient dabei der Adressierung in x-Richtung.

Figur 2A zeigt schematisch den Schreibvorgang einer zu der in Figur 1 dargestellten analogen Flash-Speicherzelle MC. Bei einer Schreiboperation wird das Schwebegate FG negativ geladen. Hierzu wandern Elektronen aus der Kanalschicht EPI in das Schwebegate FG und durchtunneln dabei unter einem hohen elektrischen Feld, das durch die zwischen der Kanalschicht EPI und dem ersten Diffusionsgebiet 22 ausgebildeten Zugspannung $U_{program}$ erzeugt wird, die Tunneloxid-Schicht TOX.

Zur Erzeugung der notwendigen Zugspannung $U_{program}$ werden die Source/Drain-Elektroden S, D vorzugsweise gemeinsam auf ein negatives Potential $-\Phi_{program}$ gelegt. Durch Anlegen eines positiven Potentials Φ_{ON} an das Auswahlgate CG wird innerhalb der Kanalschicht EPI ein leitender n-Kanal 32 erzeugt, wodurch die Kanalschicht EPI, die eine der beiden Tunnelelektroden bildet, ebenfalls auf das Source/Drain-Potential $-\Phi_{program}$ gebracht wird. Die zweite Tunnelelektrode bildet das erste Diffusionsgebiet 22. Zur Erzeugung der Zugspannung $U_{program}$ wird das erste Diffusionsgebiet 22 durch eine zweite Bitleitung BL2 auf ein positives Potential $+\Phi_{program}$ gelegt. Dabei wird die zweite Bitleitung BL2 durch in Figur 3 dargestellte Überlappungsbereiche 22a der ersten Diffusionsgebiete 22 unmittelbar benachbarter Speicherzellen MC einer zur Wortleitungsrichtung senkrechten Zeile der Anordnung gebildet.

Bedingt durch die große Koppelfläche des Grabenkondensators ist die kapazitive Wechselwirkung zwischen dem ersten Diffusionsgebiet 22 und dem Schwebegate FG im Schwebegate FG so groß, dass im Schwebegate FG ein so hohes positives Potential induziert wird, dass Elektronen durch die Tunneloxid-Schicht TOX tunneln können.

Die tunnelnden Elektronen laden das Schwebegate FG negativ auf. Da das Schwebegate FG gegenüber seiner Umgebung elekt-

risch isoliert ist, verbleiben die Elektronen auch nach Abschalten der Versorgungsspannung innerhalb des Schwebegates FG. Die im Lesebetrieb der Speicherzelle MC zwischen der Kanalschicht EPI und dem Schwebegate FG auftretenden elektrischen Feldstärken reichen in der Regel nicht aus, um das Schwebegate FG über die Tunneloxid-Schicht TOX wieder zu entladen.

Die in der Speicherzelle MC geschriebene Informationseinheit (Bit) bleibt daher idealerweise zeitlich unbegrenzt bzw. bis zum beabsichtigten Entladen der Speicherzelle erhalten.

Figur 2B zeigt schematisch die Löschoperation der in Figur 2A dargestellten Flash-Speicherzelle MC. Zum Löschen der Informationseinheit der Speicherzelle wird der Grabenkondensator 20 wieder entladen. Dabei tunneln Elektronen vom Schwebegate FG getunnelten Elektronen über die Tunneloxid-Schicht TOX in die Kanalschicht EPI. Die Elektronen werden dabei von einer hohen Zugspannung U_{erase} , die zwischen dem ersten Diffusionsgebiet 22 und der Kanalschicht EPI ausgebildet ist, gezogen. Hierzu werden die Source- und die Drain-Elektrode S, D gemeinsam auf ein positives elektrisches Potential $+Φ_{erase}$ gelegt. Analog zu der in Figur 1A dargestellten Schreiboperation wird bei der Löschoperation in der Kanalschicht EPI durch Anlegen eines positiven elektrischen Potentials $Φ_{ON}$ an das Auswahlgate CG ein leitender n-Kanal 32 erzeugt. Hierdurch erhält die Kanalschicht EPI, die eine Tunnelelektrode bildet, ebenfalls das positive elektrische Potential $+Φ_{erase}$. Das die zweite Tunnelelektrode bildende Diffusionsgebiet 22 wird dagegen über die zweite Bitleitung BL2, die in Figur 3 dargestellt ist, auf ein negatives Potential $-Φ_{erase}$ gelegt. Aufgrund der hohen kapazitiven Wechselwirkung zwischen dem ersten Diffusionsgebiet 22 und dem Schwebegate FG wird im oberen Bereich des Schwebegates FG ein ausreichend hohes negatives Potential induziert, so dass Elektronen durch die Tunneloxid-Schicht EPI tunneln. Hierdurch wird das Schwebegate FG entladen.

gate FG wieder vollkommen entladen und die Speicherzelle MC wieder in den Ausgangszustand "Normally on" gebracht.

Figur 2C zeigt schematisch die Leseoperation der Flash-Speicherzelle MC. Beim Lesen der in der Speicherzelle MC gespeicherten Information wird die Leitfähigkeit der Kanalschicht EPI zwischen dem Auswahl- und dem Schwebegate CG, FG bewertet. Der Speicherzelle MC wird je nach Ladungszustand des Schwebegates FG und dem daraus resultierenden Leitwert des Kanals 32 eine der beiden logischen Dateneinheiten "1" oder "0" zugeordnet wird. Bei der hier dargestellten "Normally on"-Speicherzelle MC ist der Kanal 32 bei geladenem Grabenkondensator 20 gesperrt und bei entladem Grabenkondensator 20 geöffnet.

15

Zum Auslesen der Flash-Speicherzelle MC wird zwischen der Source- und der Drain-Elektrode S, D eine Lesespannung U_{read} erzeugt, wobei die Source-Elektrode S vorzugsweise auf das Massepotential Φ_{ground} und die Drain-Elektrode D auf ein positives Potential $+\Phi_{read}$ gelegt wird. Das Auswahlgate CG und das erste Diffusionsgebiet 22 erhalten dabei vorzugsweise das gleiche elektrische Potential $+\Phi_{read}$ wie die Drain-Elektrode D.

25

Aufgrund des Influenzfeldes, das durch das elektrische Potential $+\Phi_{read}$ des Auswahlgates CG erzeugt wird, ist der Kanal 32 bei einem ungeladenen Schwebegate FG geöffnet. Hierbei kommt es aufgrund der zwischen der Source- und der Drain-Elektrode S, D anliegende Lesespannung U_{read} zu einem detektierbaren Stromfluss in der Kanalschicht EPI.

Weist das Schwebegate FG dagegen eine negative Ladung auf, so wird der Kanal 32 innerhalb der Kanalschicht EPI durch das Influenzfeld der negativen Ladung abgeschnürt. Dadurch wird die Leitfähigkeit der Kanalschicht EPI herabgesetzt. Der Ladungszustand der Speicherzelle MC wird dann anhand eines

30

35

deutlich reduzierten bzw. ganz unterbundenen Stromflusses zwischen der Source- und der Drain-Elektrode S, D detektiert.

Die Leitfähigkeit der Kanalschicht EPI die dem Ladungszustand der Speicherzelle MC entspricht, wird in beiden Fällen durch eine herkömmliche Auswerteschaltung bestimmt, die im einfachsten Fall überprüft, ob ein Strom zwischen der Source- und der Drain-Elektrode S, D fließt. Ist dies der Fall, so wird der Speicherzelle MC je nach Speicherzellenkonzept eine Informationseinheit "1" oder "0" zugeordnet. Andernfalls wird der Speicherzelle MC die jeweils komplementäre Informationseinheit zugeordnet.

Figur 3 zeigt eine Aufsicht auf eine matrixförmige Anordnung von Flash-Speicherzellen MC. Dabei sind die Speicherzellen MC in jeweils vier senkrecht zueinander verlaufenden Spalten und Zeilen angeordnet, wobei zwischen zwei unmittelbar benachbarten Zeilen der Anordnung jeweils eine Grabenisolierung STI ausgebildet ist, die die Speicherzellen MC einer Spalte elektrisch voneinander trennt. Jede der Speicherzellen MC der Anordnung ist analog zu der in Figur 1 dargestellten Flash-Speicherzelle MC ausgebildet und weist jeweils ein in einem Graben TR des Substrates 10 ausgebildetes Schwebegate FG auf. Das Schwebegate FG ist durch eine Isolatorschicht 21 von einem ersten Diffusionsgebiet 22 elektrisch isoliert. Oberhalb des Schwebegates FG ist jeweils eine Kanalschicht EPI angeordnet, wobei das Schwebegate FG durch eine dünne Tunneloxid-Schicht TOX von der Kanalschicht EPI getrennt ist. Jede Kanalschicht EPI ist vorzugsweise als eine epitaktische Schicht ausgebildet und verbindet jeweils zwei Source/Gate-Elektroden S, G miteinander, die beidseitig der Kanalschicht EPI angeordnet sind. Jede der Source/Drain-Elektroden S, D ist dabei jeweils zwei unmittelbar benachbarten Speicherzellen MC einer zur Wortleitungsrichtung senkrecht verlaufenden Zeile der Anordnung zugeordnet. Oberhalb der Kanalschicht EPI weist jede Speicherzelle MC ein Auswahlgate CG auf, das von der Kanal-

schicht EPI durch eine dünne Gateoxid-Schicht GOX getrennt ist.

5 Die Speicherzellen MC innerhalb der matrixförmigen Anordnung werden in y-Richtung jeweils durch eine Wortleitung WL adressiert. Die Wortleitung WL kontaktiert dabei alle Auswahlgates CG der Speicherzellen MC einer Spalte der Anordnung.

10 In Figur 3 nicht dargestellte erste Bitleitungen BL1 sind orthogonal zu den Wortleitungen WL angeordnet und kontaktieren dabei jeweils die Source/Drain-Elektroden S, D der Speicherzellen MC einer Zeile der Anordnung.

15 Die ersten Diffusionsgebiete 22 jeder Speicherzelle MC weisen jeweils einen Überlappungsbereich 22a mit den ersten Diffusionsgebieten 22 der beiden unmittelbar benachbarten Speicherzellen MC der jeweiligen zur Wortleitungsrichtung senkrecht verlaufenden Zeile der Anordnung auf. Die auf diese Weise hergestellte elektrisch leitende Verbindung bildet eine zweite Bitleitung BL2, über die Information in die Speicherzelle MC geschrieben bzw. aus der Speicherzelle MC gelöscht wird. Dazu erhält das erste Diffusionsgebiet 22, wie aus der Beschreibung der Figuren 2A und 2B hervorgeht, über die der jeweiligen Speicherzelle MC zugeordnete zweite Bitleitung BL2 ein positives bzw. negatives elektrisches Potential $+\Phi_{\text{program}}$, $-\Phi_{\text{erase}}$.

25 Zur Durchführung einer Leseoperation kann jede Speicherzelle MC der matrixförmigen Anordnung mit Hilfe der Wortleitungen WL und der ersten Bitleitungen BL1 einzeln adressiert werden. Für die Durchführung der Schreib- bzw. Löschoperation der jeweiligen Speicherzelle MC ist zusätzlich die jeweilige zweite Bitleitung BL2 notwendig.

30 35 Die in der vorangehenden Beschreibung, den Ansprüchen und den Zeichnungen offenbarten Merkmale der Erfindung können sowohl einzeln als auch in beliebiger Kombination für die Verwirk-

lichung der Erfindung in ihren verschiedenen Ausführungsformen wesentlich sein.

Patentansprüche

1. Programmierbare Festwertspeicherzelle (MC) mit einer Source- und einer Drain-Elektrode (S, D), mit einer zwischen der Source- und der Drain-Elektrode (S, D) ausgebildeten Kanalschicht (EPI), mit einem von der Kanalschicht (EPI) getrennten Schwebegate (FG) und einem von der Kanalschicht (EPI) getrennten Auswahlgate (CG),

dadurch gekennzeichnet,

dass das Auswahlgate (CG) und das Schwebegate (FG) im wesentlichen einander gegenüberliegend beidseits der Kanalschicht (EPI) angeordnet sind, und dass zwischen dem Schwebegate (FG) und der Kanalschicht (EPI) und zwischen dem Auswahlgate (CG) und der Kanalschicht (EPI) jeweils eine Isolatorschicht (TOX, GOX) angeordnet ist.

2. Programmierbare Festwertspeicherzelle (MC) nach Anspruch 1,

dadurch gekennzeichnet,

dass das Schwebegate (FG) zumindest teilweise in einem Graben (TR) eines Substrats (10) angeordnet ist, dass der Graben (TR) zwischen der Source- und der Drain-Elektrode (S, D) ausgebildet ist, und dass das Schwebegate (FG) gegenüber dem Substrat (10) elektrisch isoliert ist.

3. Programmierbare Festwertspeicherzelle (MC) nach Anspruch 2,

dadurch gekennzeichnet,

dass das Schwebegate (FG) durch eine dünne Isolatorschicht

(21) vom Substrat (10) isoliert ist, die vorzugsweise als eine Oxid-Nitrid-Oxid Schicht ausgebildet ist.

4. Programmierbare Festwertspeicherzelle (MC) nach einem der Ansprüche 2 oder 3,

dadurch gekennzeichnet,

dass im Substrat (10) ein Grabenkondensator (20) ausgebildet ist, dessen innere Elektrode durch das Schwebegate (FG) und

dessen äußere Elektrode durch ein erstes Diffusionsgebiet (22) gebildet wird.

5. Programmierbare Festwertspeicherzelle (MC) nach Anspruch
5 4,

d a d u r c h g e k e n n z e i c h n e t,
dass das erste Diffusionsgebiet (22) innerhalb eines zweiten
Diffusionsgebietes (23) und das zweite Diffusionsgebiet voll-
ständig innerhalb eines dritten Diffusionsgebietes (24) aus-
10 gebildet ist, wobei das zweite Diffusionsgebiet (23) eine zum
ersten Diffusionsgebiet (22) und zum dritten Diffusionsgebiet
(24) komplementäre Dotierung aufweist.

6. Programmierbare Festwertspeicherzelle (MC) nach einem der
15 Ansprüche 4 oder 5,

d a d u r c h g e k e n n z e i c h n e t,
dass das erste Diffusionsgebiet (22) der Festwertspeicher-
zelle (MC) mit den ersten Diffusionsgebieten (22) der zwei
senkrecht zur Wortleitungsrichtung unmittelbar benachbarten
20 Festwertspeicherzellen (MC) einer matrixförmigen Anordnung
von Festwertspeicherzellen (MC) einen Überlappungsbereich
(22a) aufweist, und dass durch den Überlappungsbereich (22a)
eine elektrisch leitende Verbindung zwischen den ersten Dif-
fusionsgebieten (22) der Festwertspeicherzellen (MC) einer
25 Reihe gebildet ist.

7. Programmierbare Festwertspeicherzelle (MC) nach einem der
Ansprüche 1 bis 6,

d a d u r c h g e k e n n z e i c h n e t,
30 dass die Kanalschicht (EPI) als epitaktische Schicht ausge-
bildet ist.

8. Programmierbare Festwertspeicherzelle (MC) nach einem der
Ansprüche 1 bis 7,

35 d a d u r c h g e k e n n z e i c h n e t,
dass die Kanalschicht (EPI) eine n-Dotierung aufweist.

9. Programmierbare Festwertspeicherzelle (MC) nach einem der Ansprüche 1 bis 8,

d a d u r c h g e k e n n z e i c h n e t,

dass die Source- und die Drain-Elektrode (S, D) zumindest

5 teilweise auf der Oberfläche des Substrates (10) ausgebildet sind.

10. Verfahren zum Beschreiben einer programmierbaren Festwertspeicherzelle (MC) nach einem der Ansprüche 4 bis 9,

10 d a d u r c h g e k e n n z e i c h n e t,

dass ein Kanal (32) durch Anlegen einer elektrischen Spannung (U_{ON}) zwischen dem Auswahlgate (CG) und der Source- und/oder

Drain-Elektrode (S, D) in der Kanalschicht (EPI) geöffnet

wird, und dass eine weitere elektrische Spannung (U_{program})

15 zwischen dem ersten Diffusionsgebiet (22) und der Kanalschicht (EPI) angelegt wird, wobei die Source- und/oder die

Drain-Elektrode (S, D) auf ein negatives elektrisches Potential (-Φ_{program}), das erste Diffusionsgebiet (22) auf ein positives elektrisches Potential (+Φ_{program}) und das Auswahlgate

20 (CG) auf ein positives elektrisches Potential (+Φ_{ON}) gelegt werden.

11. Verfahren zum Löschen einer Information einer programmierbaren Festwertspeicherzelle (MC) nach einem der Ansprüche

25 4 bis 10,

d a d u r c h g e k e n n z e i c h n e t,

dass ein Kanal (32) durch Anlegen einer elektrischen Spannung (U_{ON}) zwischen dem Auswahlgate (CG) und der Source- und/oder

Drain-Elektrode (S, D) geöffnet wird, und dass eine weitere

30 elektrische Spannung (U_{erase}) zwischen dem ersten Diffusionsgebiet (22) und der Kanalschicht (EPI) angelegt wird, wobei die Source- und/oder die Drain-Elektrode (S, D) auf ein positives elektrisches Potential (+Φ_{erase}), das erste Diffusions-

gebiet (22) auf ein negatives elektrisches Potential (-Φ_{erase})

35 und das Auswahlgate (CG) auf ein positives elektrisches Potential (+Φ_{ON}) gelegt werden.

12. Verfahren zum Auslesen einer Information einer programmierbaren Festwertspeicherzelle (MC) nach einem der Ansprüche 4 bis 11,

d a d u r c h g e k e n n z e i c h n e t,

5 dass zwischen der Source- und der Drain-Elektrode (S, D) eine elektrische Spannung (U_{read}) angelegt wird, dass die Source-Elektrode (S) auf Massepotential (Φ_{ground}), die Drain-Elektrode (D), das Auswahlgate (CG) und das erste Diffusionsgebiet (22)

10 auf ein positives elektrisches Potential ($+\Phi_{read}$) gelegt werden, dass die von dem Ladungszustand der Festwertspeicherzelle (MC) abhängige Leitfähigkeit der Kanalschicht (EPI) mit Hilfe einer Auswerteschaltung ermittelt wird, und dass der Festwertspeicherzelle (MC) eine Information zugeordnet wird,

die von der Leitfähigkeit des Kanals (32) abhängt.

Zusammenfassung

Flash-Speicherzelle mit vergrabenem Floating-Gate und Verfahren zum Betreiben einer solchen Flash-Speicherzelle.

5

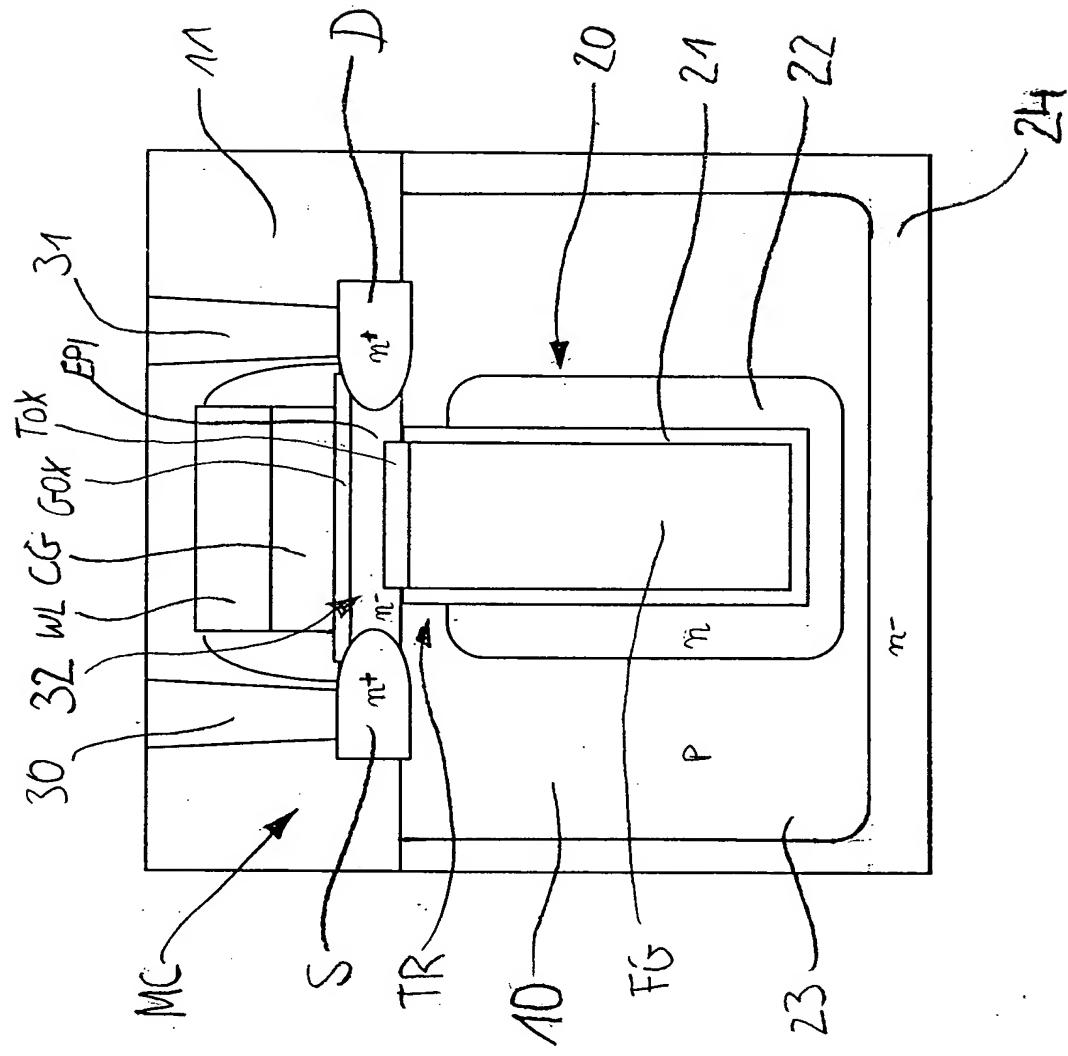
Die Erfindung betrifft eine programmierbare Festwertspeicherzelle (MC) mit einem in einem Graben (TR) angeordneten Schwebegate (FG), einer auf dem Schwebegate (FG) ausgebildeten epitaktischen Kanalschicht (EPI), die eine Source- mit einer Drain-Elektrode (S, D) verbindet und einem über der Kanalschicht (EPI) angeordneten Auswahlgate (CG).

Figur 1

Bezugszeichenliste

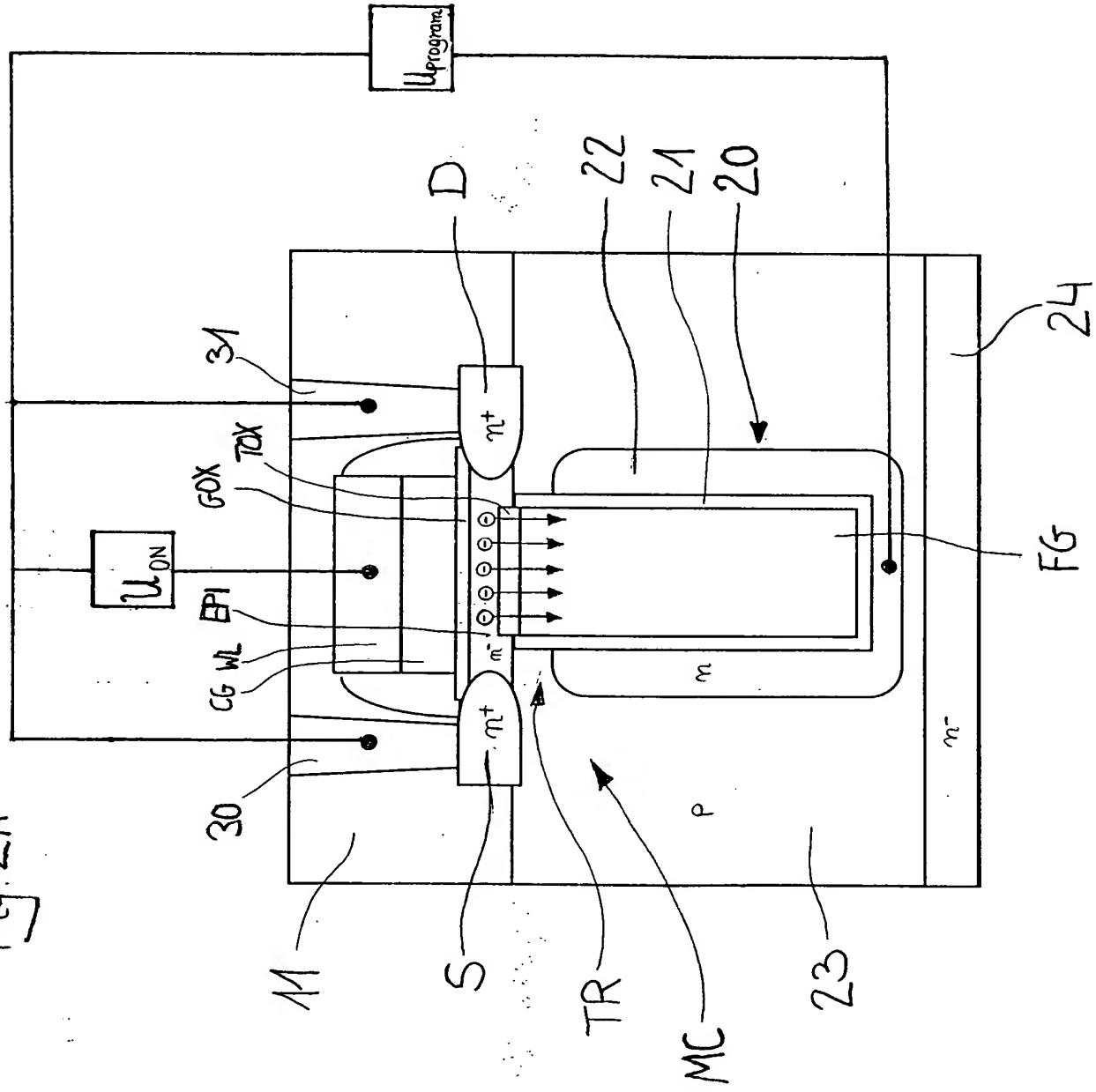
FET Feldeffekt-Transistor
TR Graben
FG Schwebegate
EPI epitaktischen Kanal-Schicht
CG Auswahlgate
S Source-Elektrode
D Drain-Elektrode
MC Speicherzelle
TOX Tunneloxid
GOX Gateoxid
BL1 erste Bitleitung
BL2 zweite Bitleitung
STI Grabenisolation
10 Substrat
11 Isolatorschicht
20 Grabenkondensator
21 Dielektrikum
22 erstes Diffusionsgebiet
22a Überlappungsbereich der ersten Diffusionsgebiete
23 zweites Diffusionsgebiet
24 drittes Diffusionsgebiet
30 Source-Kontakt
31 Drain-Kontakt
32 Kanal
 $\Phi_{program}$
 Φ_{erase}
 Φ_{read}
 Φ_{ground}
 Φ_{ON}
 $U_{program}$
 U_{erase}
 U_{read}

Fig. 1



2/5

Fig. 2A



3/5

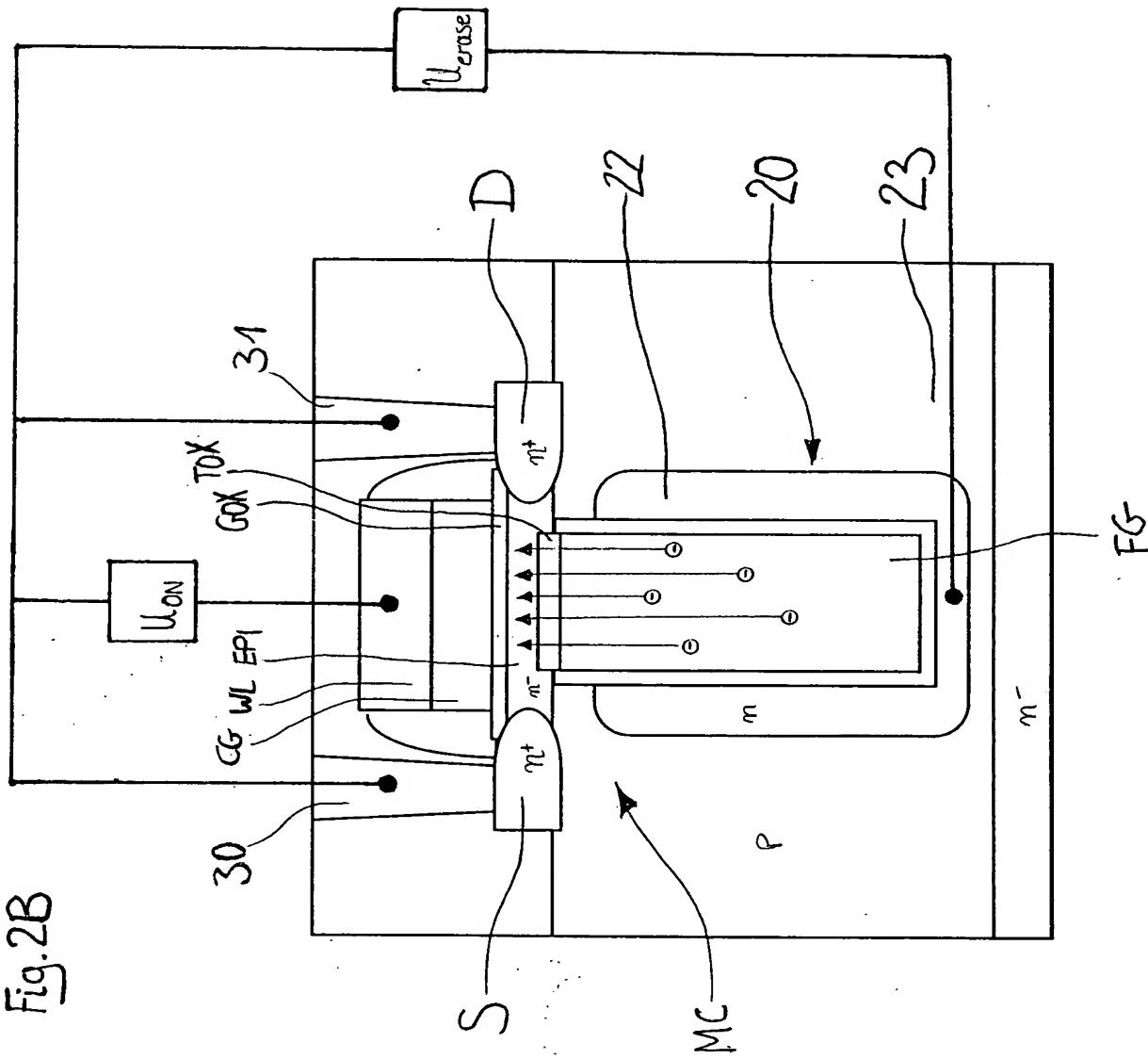


Fig. 2B

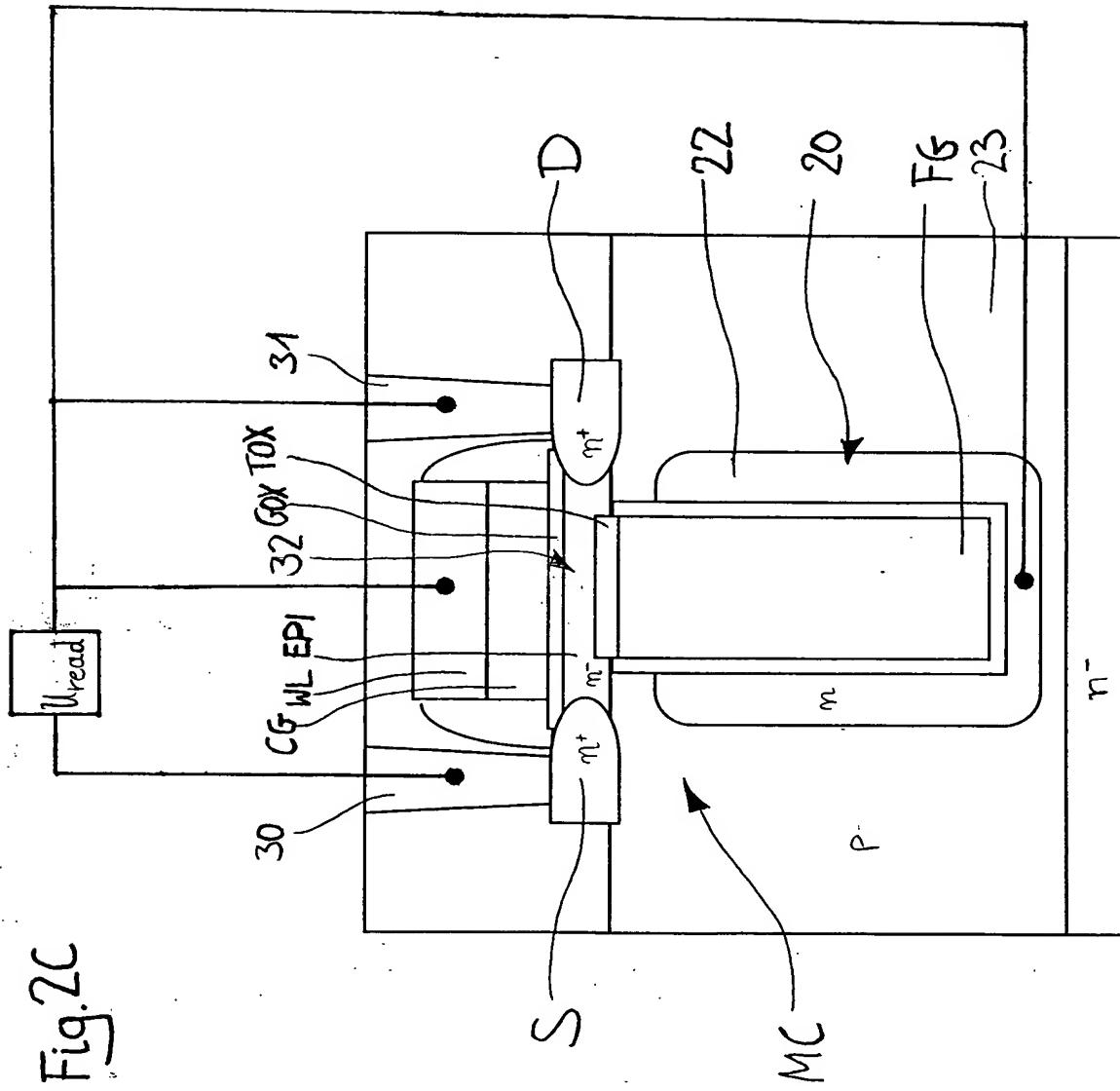


Fig. 2C

Fig. 3